

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0003

Applicant: Seon Yong CHA

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: NAND-TYPE MAGNETORESISTIVE RAM

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0080181 filed December 16, 2002

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By Johnny A. Kumar
Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0080181
Application Number

출원년월일 : 2002년 12월 16일
Date of Application DEC 16, 2002

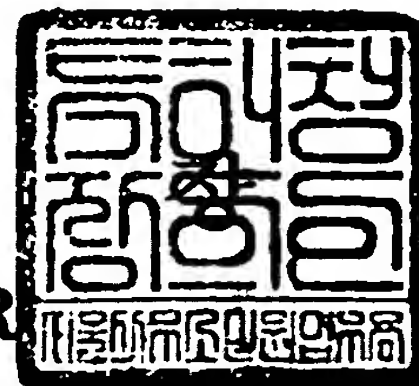
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.16
【국제특허분류】	H01L
【발명의 명칭】	낸드형 자기저항 램
【발명의 영문명칭】	NAND type magnetoresistive random access memory
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	차선용
【성명의 영문표기】	CHA, Seon Yong
【주민등록번호】	670804-1351310
【우편번호】	361-201
【주소】	충청북도 청주시 흥덕구 분평동 1255 주은프레지던트아파트 910동 50 2호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

1020020080181

출력 일자: 2003/5/21

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 394,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 낸드형 자기저항 램에 관한 것으로, 자기저항 램의 소자들을 낸드형으로 직렬 배열하여 셀당 유효면적을 감소시킬 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 소스 및 드레인 영역을 공유하는 2개 이상의 트랜지스터를 낸드형으로 직렬 연결하여 비활성 영역을 감소시키고, 비트라인과 연결된 하나의 읽기 노드를 복수개의 트랜지스터가 공유하여 읽기 동작을 개선함으로써 셀당 유효면적을 감소시키고 집적도를 향상시킬 수 있도록 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

낸드형 자기저항 램{NAND type magnetoresistive random access memory}

【도면의 간단한 설명】

도 1은 종래의 MTJ셀의 단면도.

도 2a 및 도 2b는 종래의 수평구조 전계 효과 트랜지스터를 이용한 자기저항 램의 모식도 및 단면도.

도 3은 본 발명에 따른 낸드형 자기저항 램의 구성도.

도 4는 본 발명에 따른 낸드형 자기저항 램의 동작 타이밍도.

도 5는 본 발명에 따른 낸드형 자기저항 램의 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 낸드형 자기저항 램에 관한 것으로, 자기저항 램의 셀 구조를 개선하여 셀당 유효면적을 감소시키고 집적도를 향상시킬 수 있도록 하는 기술이다.
- <7> 현재 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로서, 강자성체 물질을 이용한 자기저항 램의 개발에 적극 참여하고 있다.
- <8> 자기저항 램은 강자성 박막을 다층으로 형성하여 각 박막층의 자화방향에 따른 전류 변화를 감지함으로써 데이터를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특

성에 의해 고속, 저전력 및 고집적이 가능할 뿐만 아니라 플래쉬 메모리와 같이 비휘발성 메모리 동작이 가능한 소자이다.

- <9> 이에 대한 연구는 현재 초기 단계에 있으며, 주로 다층 자성 박막의 형성에 집중되어 있고, 단위셀 구조 및 주변 감지 회로 등에 대한 연구는 아직 미비한 실정이다.
- <10> 도 1은 이러한 종래의 자기저항 램에서 데이터가 저장되어지는 다층 자성 박막 구조로서 MTJ(Magnetic Tunnel Junction, 자기 터널 접합) 셀의 단면도를 나타낸다.
- <11> 일반적으로 MTJ셀(5)은 반자성체(anti-ferroelectric) 박막(1), 고정층 강자성체 박막(2), 터널링 전류가 흐르는 얇은 절연층(3) 및 자유층 강자성체 박막(4)으로 형성된다.
- <12> 여기서, 고정층 강자성체 박막(2)은 자화 방향이 한 방향으로 고정되어 있으며, 반자성체 박막(1)은 고정층 강자성체 박막(2)의 자화 방향이 변하지 않도록 고정해 주는 역할을 한다. 반면에, 자유층 강자성체 박막(4)은 외부 자장에 의해 자화 방향이 바뀌어 지며, 이 층의 자화 방향에 따라 "0" 또는 "1"의 데이터를 기억할 수 있다.
- <13> 이러한 MTJ셀(5)에 수직 방향으로 전류가 흐를 경우 얇은 절연층(3)을 통한 터널링 전류가 발생하게 된다. 이때, 고정층 강자성체 박막(2)과 자유층 강자성체 박막(4)의 자화 방향이 같으면 터널링 전류의 크기가 크며, 반대로 고정층 강자성체 박막(2)과 자유층 강자성체 박막(4)의 자화 방향이 반대일 경우에는 작은 터널링 전류가 흐르게 된다.

- <14> 이러한 현상을 TMR(Tunneling Magnetoresistance, 터널 자기 저항)효과라 하는데, 이 터널링 전류의 크기를 감지함으로써 자유층 강자성체 박막(4)의 자화방향을 알 수 있고, 셀에 저장된 데이터를 판독할 수 있게 된다.
- <15> 도 2a는 전계 효과 트랜지스터(Field Effect Transistor)를 이용하여 자기저항 램의 셀을 구현한 실시예를 나타낸다.
- <16> 자기저항 램의 단위셀은 하나의 수평구조 전계 효과 트랜지스터(Metal-Oxide-Silicon Field Effect Transistor;9)와, MTJ셀(5)과, 데이터의 리드시 사용되는 읽기 워드라인(6)과, 전류의 인가에 따라 외부 자기장을 형성하여 MTJ셀(5) 내의 자유층 강자성체 박막(4)의 자화방향의 변화에 따라 데이터를 저장할 수 있도록 하는 쓰기 워드라인(8)과, MTJ셀(5)에 수직방향으로 전류를 인가하여 자유층 강자성체 박막(4)의 자화방향을 알 수 있도록 하는 비트라인(7)을 구비한다.
- <17> 이러한 구성을 갖는 종래의 자기저항 램은, 리드시에 읽기 워드라인(6)에 전압을 가하여 전계 효과 트랜지스터(9)를 동작시키고 비트라인(7)에 전류를 인가한 뒤 MTJ셀(5)에 흐르는 전류의 크기를 감지한다.
- <18> 또한, 라이트시에는 전계 효과 트랜지스터(9)를 오프 상태로 유지하면서, 쓰기 워드라인(8)과 비트라인(7)에 전류를 인가시킴으로써 이로 인해 발생하는 외부 자기장에 의해 MTJ셀(5) 자유층의 자화 방향을 변화시킨다.
- <19> 여기서, 비트라인(7)과 쓰기 워드라인(8)에 동시에 전류를 인가시키는 이유는 두 금속선이 수직으로 교차하는 지점에서 자기장이 가장 크게 발생되며, 이로 인해 여러개의 셀 배열 중에서 하나의 셀을 선택할 수 있기 때문이다.

- <20> 도 2b는 도 2a의 종래의 자기저항 램 셀과 대응되는 자기저항 램의 단면도이다.
- <21> 수평 구조 트랜지스터(9)의 소스(10)의 상부에 접지선(12)이 형성되고, 게이트의 상부에 읽기 워드라인(6)이 형성되며, 드레인(11)의 상부에는 도전층(13), 콘택 플러그(14), 도전층(15) 및 콘택 플러그(16)가 차례로 형성된다. 그리고, 쓰기 워드라인(8)의 상부에 연결층(17)이 형성되고, 연결층(17)의 상부에 MTJ셀(5)과 비트라인(7)이 스택(stack) 형식으로 형성된다.
- <22> 하지만, 이러한 종래의 자기저항 램은 하나의 트랜지스터 및 그에 따른 MTJ셀, 읽기 워드라인, 쓰기 워드라인, 비트라인이 하나의 셀을 이룬다. 따라서, 셀이 차지하는 유효 면적이 커지게 되어 메모리 소자의 집적도가 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 소스 및 드레인 영역을 공유하는 2개 이상의 트랜지스터를 낸드형으로 연결하고, 비트라인과 연결된 하나의 읽기 노드를 복수개의 트랜지스터가 공유하여 셀당 유효면적을 감소시키고 집적도를 향상시킬 수 있도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <24> 상기한 목적을 달성하기 위한 본 발명의 낸드형 자기저항 램은, 각각의 게이트에 읽기 워드라인이 연결되고, 비트라인과 연결된 하나의 읽기 노드를 공유하며, 낸드형으로 직렬 배열된 복수개의 트랜지스터 및 각각이 복수개의 트랜지스터의 연결노드에 하나씩 연결되고, 각각의 쓰기 워드라인과 연결된 복수개의 MTJ셀을 구비함을 특징으로 한다.

- <25> 또한, 본 발명의 낸드형 자기저항 램은, P-기판의 상부에 낸드형으로 직렬 연결되어 소스 및 드레인 영역을 공유하는 복수개의 트랜지스터와, 복수개의 트랜지스터의 게이트 영역 상부에 형성된 복수개의 읽기 워드라인과, 복수개의 트랜지스터 간의 연결 노드에 각각 연결된 복수개의 MTJ셀과, 복수개의 MTJ셀 상부에 공통으로 형성된 접지라인과, 접지라인의 상부에 형성된 복수개의 쓰기 워드라인 및 복수개의 트랜지스터의 끝단 노드에 형성된 읽기 노드를 통해 상기 복수개의 트랜지스터를 공유하는 비트라인을 구비함을 특징으로 한다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <27> 도 3은 본 발명에 따른 낸드형 자기저항 램의 구성도이다.
- <28> 본 발명은 비트라인 BL과, 직렬로 배열되어 소스 및 드레인 영역을 공유하는 복수개의 낸드형 트랜지스터(20~23)와, 복수개의 낸드형 트랜지스터(20~23)의 사이에 연결된 복수개의 MTJ셀 M1~M4을 구비한다.
- <29> 여기서, 복수개의 낸드형 트랜지스터(20~23)의 게이트에는 이와 일대일 대응되는 각각의 읽기 워드라인 R-WL1~R-WL4이 연결된다. 복수개의 MTJ셀 M1~M4은 이와 일대일 대응되는 각각의 쓰기 워드라인 W-WL1~W-WL4과 연결된다.
- <30> 낸드형으로 직렬 연결된 복수개의 트랜지스터(20~23)는 각각 4개의 노드 B-E를 통해 MTJ셀 M1~M4과 연결되며, 비트라인 BL과 연결된 읽기 노드 N1를 한개만 가지게 된다.

- <31> 따라서, 복수개의 트랜지스터(20~23)는 읽기 노드인 노드 N1을 공유하는 형태를 갖기 때문에, 메모리 소자의 셀당 유효 면적을 줄일 수 있고, 집적도를 높일 수 있게 된다.
- <32> 도 4는 본 발명에 따른 낸드형 자기저항 램의 동작 타이밍도를 나타낸다.
- <33> 먼저, 낸드형 자기저항 램의 쓰기 동작에서는 각각의 MTJ셀 M1~M4에 쓰기 워드라인 W-WL1~W-WL4이 개별적으로 사용되어지기 때문에 일반적인 마그네틱 램의 경우와 그 동작 과정이 동일하다.
- <34> 반면에, 읽기 동작에서는 직렬로 연결된 MTJ셀들 M1~M4에 저장된 데이터를 순차적으로 읽어내어 레지스터(미도시)에 일시 저장한다. 이후에, 읽기 동작이 완료되면 레지스터에 저장된 데이터를 다시 MTJ셀들 M1~M4에 순차적으로 재저장(Re-write)한다. 여기서, MTJ셀 M1~M4로부터 읽어낸 데이터를 레지스터에 일시적으로 저장하는 이유는 읽기 동작시 MTJ셀 M1~M4의 데이터를 순차적으로 읽기 위해서 이미 읽은 MTJ셀 M1~M4의 데이터는 지워야 하기 때문이다.
- <35> 도 4의 타이밍도를 살펴보면, 첫번째 사이클인 t1에서는 첫번째 트랜지스터(20)의 게이트에 연결된 읽기 워드라인 R-WL1을 하이로 인에이블시킨다. 그리고, 첫번째 트랜지스터(20)가 턴온되어 노드 B에 연결된 MTJ셀 M1에 저장된 데이터를 읽어낸다.
- <36> 두번째 사이클인 t2에서는 첫번째 MTJ셀 M1에 연결된 쓰기 워드라인 W-WL1을 이용하여 MTJ셀 M1에 데이터 "0" 쓰게 된다. 이때, MTJ셀 M1의 터널링 접합의 저항값은 데이터 "1"이 써졌을 때의 작은 저항값인 R_L 에 비해 매우 큰 저항 값 R_H 이 된다.

- <37> 이후에, 읽기 워드라인 R-WL1을 하이로 유지한 상태에서, 세번째 사이클인 t3에서는 두번째 MTJ셀 M2에 저장된 데이터를 읽어낸다. 이를 위해, 읽기 워드라인 R-WL2이 하이로 인에이블되면 두번째 트랜지스터(21)가 턴온되어 노드 C에 연결된 MTJ셀 M2에 저장된 데이터를 읽어낸다.
- <38> 이때, 비트라인 BL에서 감지되는 전류 i 의 크기는 MTJ셀 M1 및 MTJ셀 M2의 저항이 병렬로 연결된 형태가 된다. 그러나, MTJ셀 M1의 저항은 t2사이클에서 저항 R_H 로 되었기 때문에 MTJ셀 M1 및 MTJ셀 M2의 저항값은 MTJ셀 M2의 저항인 R_2 에 의해 영향을 받게 된다.
- <39> 따라서, 각 셀의 데이터를 읽은 후에 데이터를 소거하는 동작이 필요하므로, 읽은 데이터를 일시적으로 저장할 수 있는 레지스터가 필요하다.
- <40> 다음에, 네번째 사이클인 t4에서는 다시 MTJ셀 M2의 저항을 R_H 로 만들고, 다섯번째 사이클인 t5에서 MTJ셀 M3에 저장된 세번째 데이터를 읽어 낸다. 이러한 방식으로 일곱번째 사이클인 t7까지 진행되면 4개의 MTJ셀 M1~M4에 저장된 데이터를 모두 읽게 된다.
- <41> 이때, 마지막 MTJ셀 M4에 저장된 데이터는 읽은 이후에 소거할 필요가 없으며, 이어지는 사이클 t8~t9까지의 재저장 동작에서는 MTJ셀 N1~M3에만 레지스터의 데이터를 재저장하면 된다.
- <42> 이러한 각각의 MTJ셀 M1~M4에 저장된 데이터에 대응하는 전류값을 살펴보면 다음과 같다.

<43>

먼저, MTJ셀 M1에서의 비트라인 BL의 전류 $i1 = \frac{V}{R_1}$

<44>

MTJ셀 M2에서의 비트라인 BL의 전류 $i2 = \frac{V}{R_{tot}}$, (여기서, $R_{tot} = \frac{R_1 R_2}{R_1 + R_2} = \frac{R_H R_2}{R_H + R_2}$)

<45>

MTJ셀 M3에서의 비트라인 BL의 전류 $i3 = \frac{V}{R_{tot}}$, (여기서, $R_{tot} = \frac{R_1 R_2 R_3}{R_1 R_2 + R_2 R_3 + R_1 R_3} = \frac{R_H R_H R_3}{R_H R_H + R_H R_3 + R_H R_3} = \frac{R_H R_3}{R_H + 2 R_3}$)

<46>

MTJ셀 M4에서의 비트라인 BL의 전류 $i4 = \frac{V}{R_{tot}}$, (여기서, $R_{tot} = \frac{R_1 R_2 R_3 R_4}{R_1 R_2 R_3 + R_1 R_2 R_4 + R_2 R_3 R_4 + R_1 R_3 R_4} = \frac{R_H R_4}{R_H + 3 R_4}$ 이 된다.

<47>

따라서, 각 MTJ셀 M1~M4에 저장된 데이터에 대응하는 전류값은 다음의 [표 1]에 나타난 바와 같다. (여기서, $R_H \gg R_L$)

<48> [표 1]

<49>

	데이터 "0" 저장시 ($R_i = R_H$)	비교	데이터 "1" 저장시 ($R_i = R_L$)
i1(M1에서의 BL전류)	V/R_H	<<	V/R_L
i2(M2에서의 BL전류)	$V/2R_H$	<<	V/R_L
i3(M3에서의 BL전류)	$V/3R_H$	<<	V/R_L
i4(M4에서의 BL전류)	$V/4R_H$	<<	V/R_L

<50>

이상에서와 같이 본 발명은 의미있는 데이터가 여러개의 비트로 이루어진다. 따라서, 의미있는 데이터를 직렬로 연결된 셀에 저장하고, 순차적으로 읽어내기 때문에, 종래의 방식에 비하여 동작 속도의 유의차를 특별히 고려할 필요가 없다.

<51>

또한, 레지스터의 경우 직렬로 연결된 갯수만큼의 비트를 저장할 수 있는 직렬 레지스터만이 필요하기 때문에 추가 면적에 대해서도 고려할 필요가 없다.

- <52> 한편, 도 5는 본 발명에 따른 낸드형 자기저항 램의 공정 단면도를 나타낸다.
- <53> 복수개의 트랜지스터(20~23)는 P-기판의 상부에서 비활성 영역이 없이 소스 및 드레인 영역(25)을 공유하여 직렬로 연결된다. 복수개의 트랜지스터(20~23)의 소스 및 드레인 영역(25)에는 각각의 콘택영역(26)을 통해 복수개의 MTJ셀 M1~M4이 연결된다. 그리고, 마지막 단의 콘택영역(26)은 읽기 노드 A를 통해 비트라인 BL과 연결된다.
- <54> 또한, 복수개의 트랜지스터(20~23)의 게이트 상부에는 읽기 워드라인 R-WL1~R-WL4이 각각 형성된다. 각각의 MTJ셀 M1~M4의 상부에는 접지선(27)과 연결되고, 접지선(27)의 상부에는 MTJ셀 M1~M4에 데이터를 쓰기 위한 쓰기 워드라인 W-WL1~W-WL4이 비트라인 BL과 직각으로 형성된다.
- <55> 이때, 쓰기 워드라인 W-WL1~W-WL4과 비트라인 BL이 직각으로 교차하는 위치에 존재하는 MTJ셀 M1~M4에 가해지는 필드의 크기가 가장 크게 되므로 해당 MTJ셀 M1~M4에 데이터를 쓸수 있게 된다.

【발명의 효과】

- <56> 이상에서 설명한 바와 같이, 본 발명은 여러개의 셀이 한개의 노드를 공유하고, 여러개의 트랜지스터를 직렬로 연결하여 비활성 영역을 감소시킴으로써 셀당 유효 면적이 감소되고 소자의 집적도를 높일 수 있게 되는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

각각의 게이트에 읽기 워드라인이 연결되고, 비트라인과 연결된 하나의 읽기 노드를 공유하며, 낸드형으로 직렬 배열된 복수개의 트랜지스터; 및

각각이 상기 복수개의 트랜지스터의 연결노드에 하나씩 연결되고, 각각의 쓰기 워드라인과 연결된 복수개의 MTJ셀을 구비함을 특징으로 하는 낸드형 자기저항 램.

【청구항 2】

제 1 항에 있어서, 상기 복수개의 MTJ셀은

읽기모드시 상기 복수개의 MTJ셀로부터 순차적으로 읽어낸 데이터를 일시 저장하는 레지스터를 더 구비함을 특징으로 하는 낸드형 자기저항 램.

【청구항 3】

제 2 항에 있어서, 상기 복수개의 MTJ셀은

상기 읽기모드시 순차적으로 읽어낸 데이터를 소거하며, 상기 읽기모드의 완료시 상기 레지스터에 저장된 데이터를 상기 복수개의 MTJ셀에 다시 순차적으로 재저장함을 특징으로 하는 낸드형 자기저항 램.

【청구항 4】

제 3 항에 있어서, 복수개의 MTJ셀은

마지막 MTJ셀에 저장된 데이터는 읽은 후 데이터를 소거하지 않고 유지하며, 상기 마지막 MTJ셀에는 재저장을 수행하지 않고 유지시킴을 특징으로 하는 낸드형 자기저항 램.

【청구항 5】

제 1 항에 있어서, 상기 읽기 워드라인은

상기 읽기 노드와 근접한 트랜지스터의 게이트에 연결된 읽기 워드라인부터 순차적으로 인에이블되며, 마지막 트랜지스터가 턴온될때까지 인에이블 상태를 유지함을 특징으로 하는 낸드형 자기저항 램.

【청구항 6】

P-기판의 상부에 낸드형으로 직렬 연결되어 소스 및 드레인 영역을 공유하는 복수개의 트랜지스터;

상기 복수개의 트랜지스터의 게이트 영역 상부에 형성된 복수개의 읽기 워드라인;

상기 복수개의 트랜지스터 간의 연결 노드에 각각 연결된 복수개의 MTJ셀;

상기 복수개의 MTJ셀 상부에 공통으로 형성된 접지라인;

상기 접지라인의 상부에 형성된 복수개의 쓰기 워드라인; 및

상기 복수개의 트랜지스터의 끝단 노드에 형성된 읽기 노드를 통해 상기 복수개의 트랜지스터를 공유하는 비트라인을 구비함을 특징으로 하는 낸드형 자기저항 램.

【청구항 7】

제 6 항에 있어서,

상기 복수개의 트랜지스터의 소스 및 드레인 영역과 상기 복수개의 MTJ셀을 연결하는 복수개의 콘택영역을 더 구비함을 특징으로 하는 낸드형 자기저항 램.

【청구항 8】

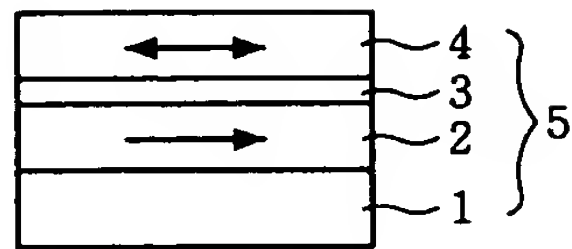
제 6 항에 있어서,

상기 복수개의 트랜지스터의 끝단에 형성된 트랜지스터의 소스 및 드레인 영역 상부에 형성된 콘택영역; 및

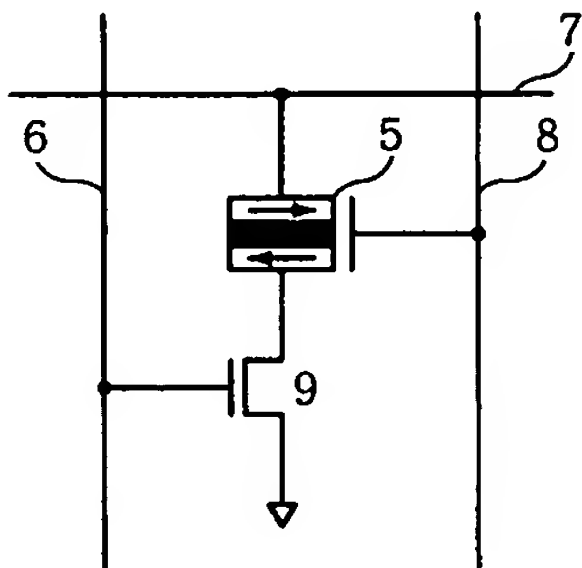
상기 콘택영역의 상부에 형성되어 상기비트라인과 연결된 상기 읽기 노드를 더 구비함을 특징으로 하는 낸드형 자기저항 램.

【도면】

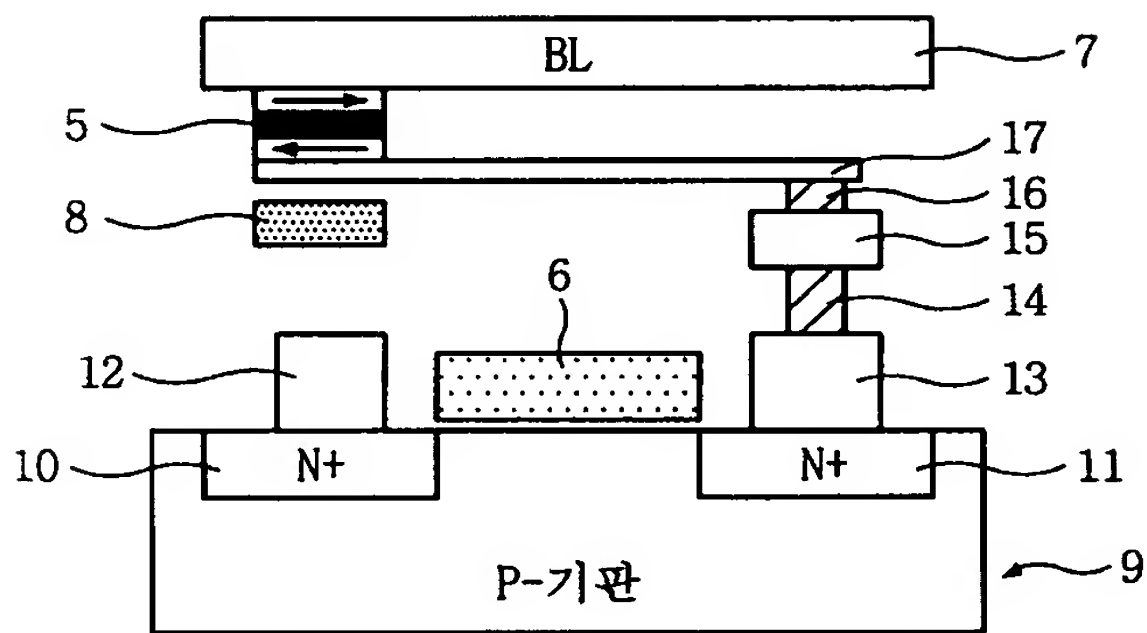
【도 1】



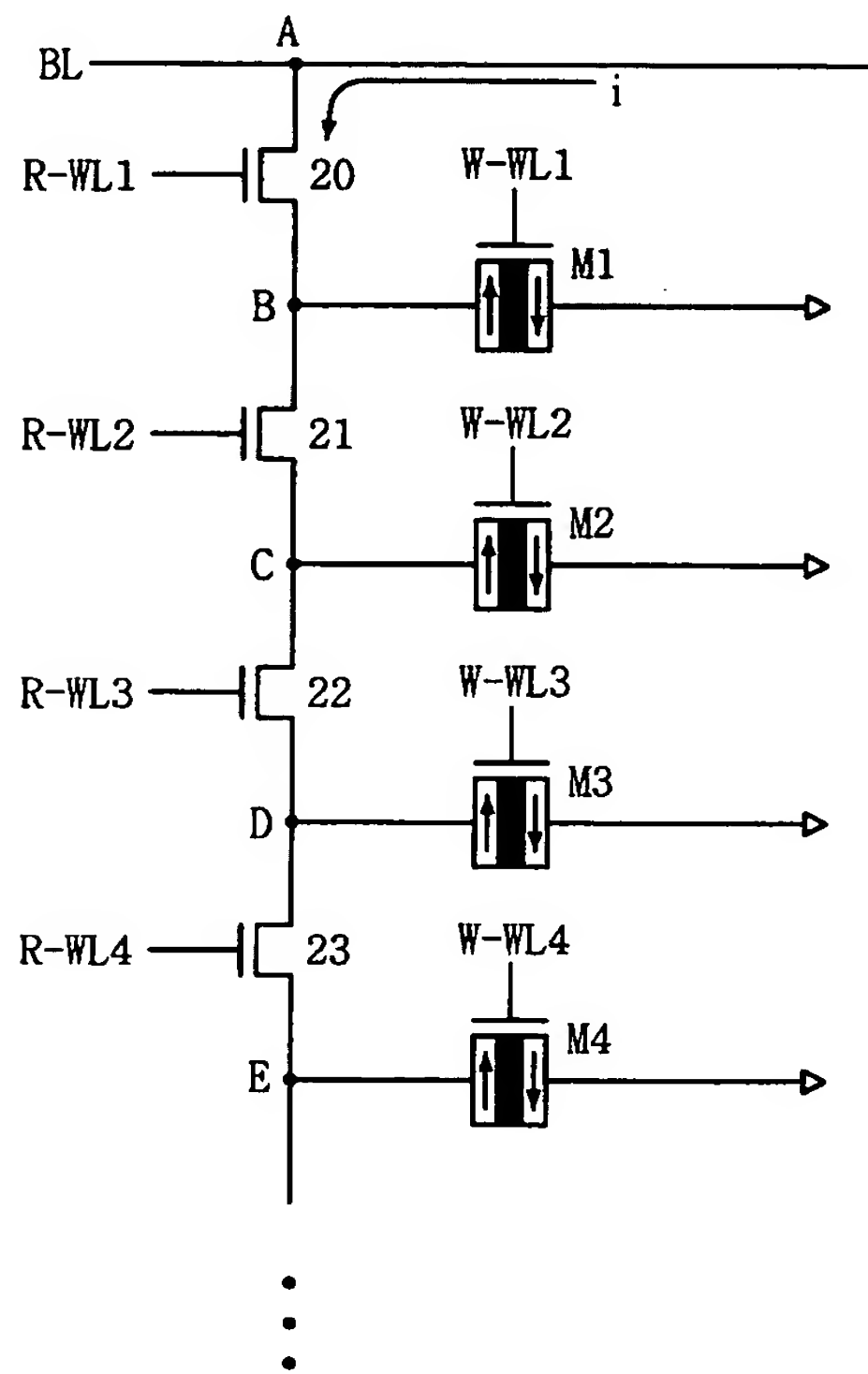
【도 2a】



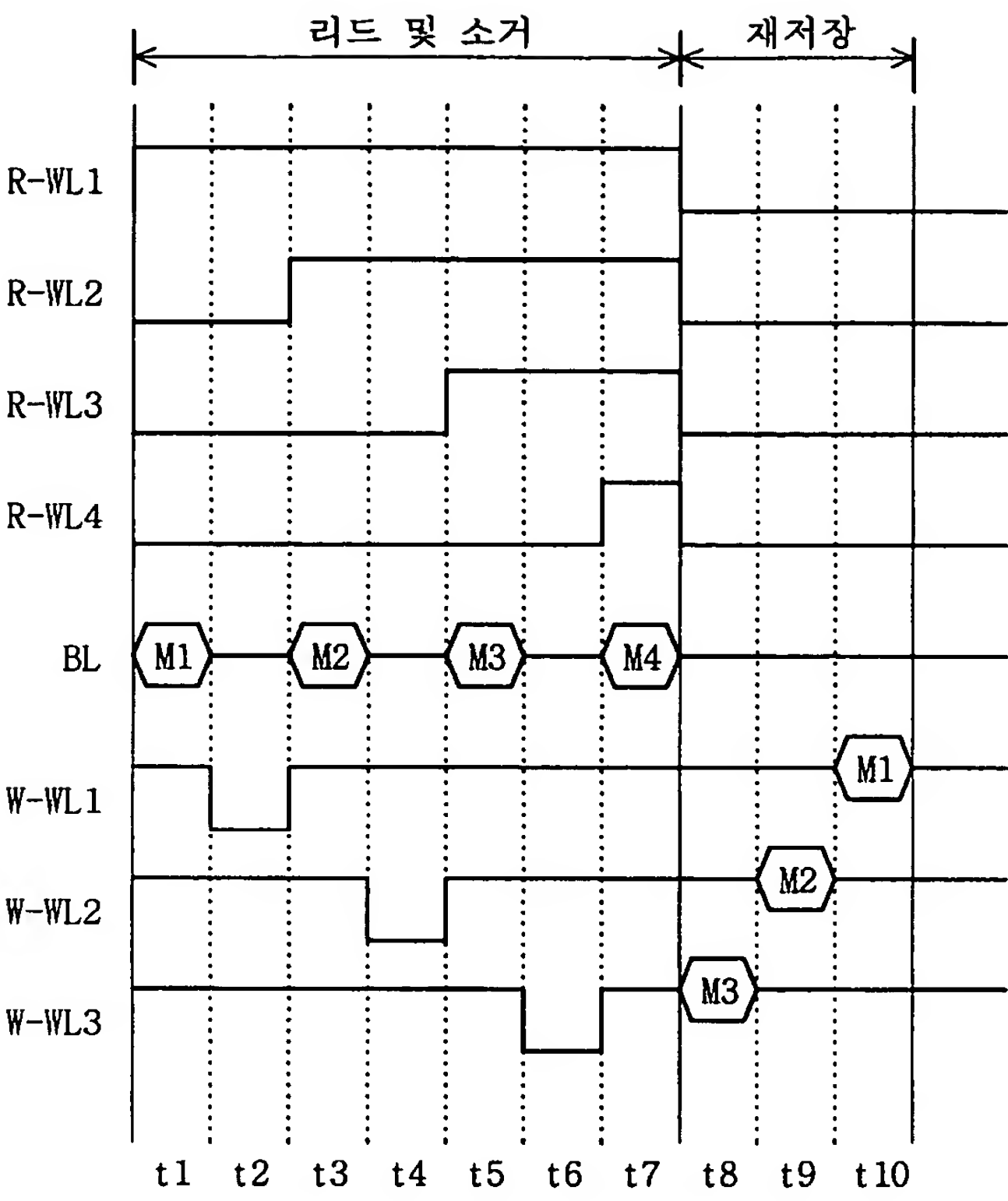
【도 2b】



【도 3】



【도 4】



【도 5】

